

# SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

**Publication number:** JP9326465 (A)

**Publication date:** 1997-12-16

**Inventor(s):** KAWAKITA TETSUO; FUJIMOTO HIROAKI

**Applicant(s):** MATSUSHITA ELECTRIC IND CO LTD

**Classification:**

**- international:** H01L21/60; H01L23/52; H01L25/065; H01L25/07; H01L25/18; H01L21/02; H01L23/52; H01L25/065; H01L25/07; H01L25/18; (IPC1-7): H01L23/52; H01L21/60; H01L25/065; H01L25/07; H01L25/18

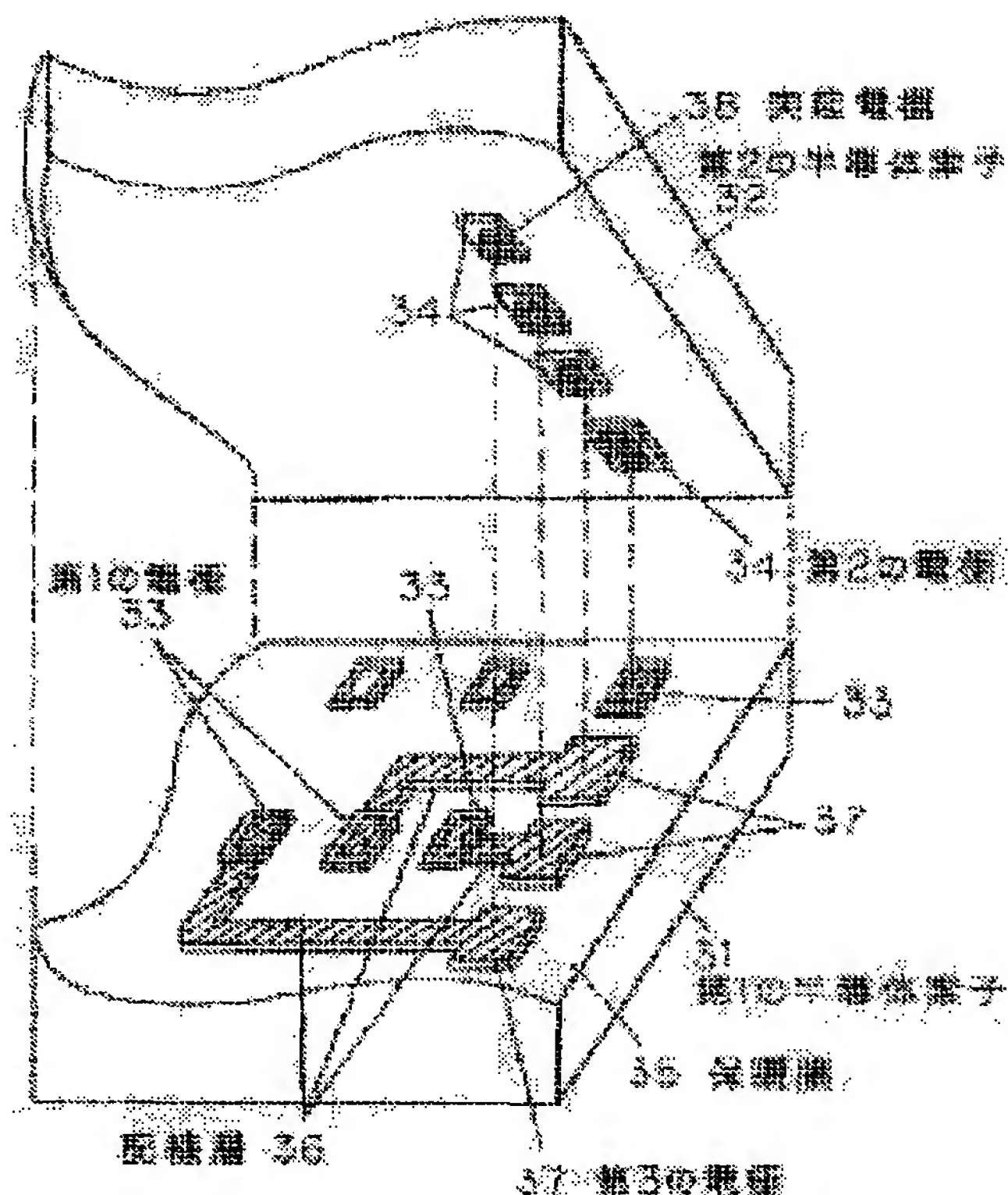
**- European:**

**Application number:** JP19960144051 19960606

**Priority number(s):** JP19960144051 19960606

## Abstract of JP 9326465 (A)

**PROBLEM TO BE SOLVED:** To provide a high functional and low cost laminated film. **SOLUTION:** Two semiconductor elements 31, 32 are laminated in the mutually opposing state. Besides, divided chips or different kind of chips having entirely different functions by electrically junctioning wiring layers 36 in a long conductive strip formed from the electrodes of one semiconductor element 31 onto a protective film 35 with the protrusive electrodes 38 formed on the electrodes of the other semiconductor element 32 are laminated with each other. Through these procedures, two LSI chips having different functions can be laminated with each other without deteriorating the speed in the lamination, thereby enabling the higher functional LSI chips to exhibit higher performances to be provided at low cost.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-326465

(43) 公開日 平成9年(1997)12月16日

(51) Int.Cl. <sup>8</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 23/52			H 0 1 L 23/52	C
21/60	3 1 1		21/60	3 1 1 S
25/065			25/08	Z
25/07				
25/18				

審査請求 未請求 請求項の数 5 O L (全 7 頁)

(21) 出願番号 特願平8-144051

(22) 出願日 平成8年(1996)6月6日

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 河北 哲郎

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72) 発明者 藤本 博昭

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

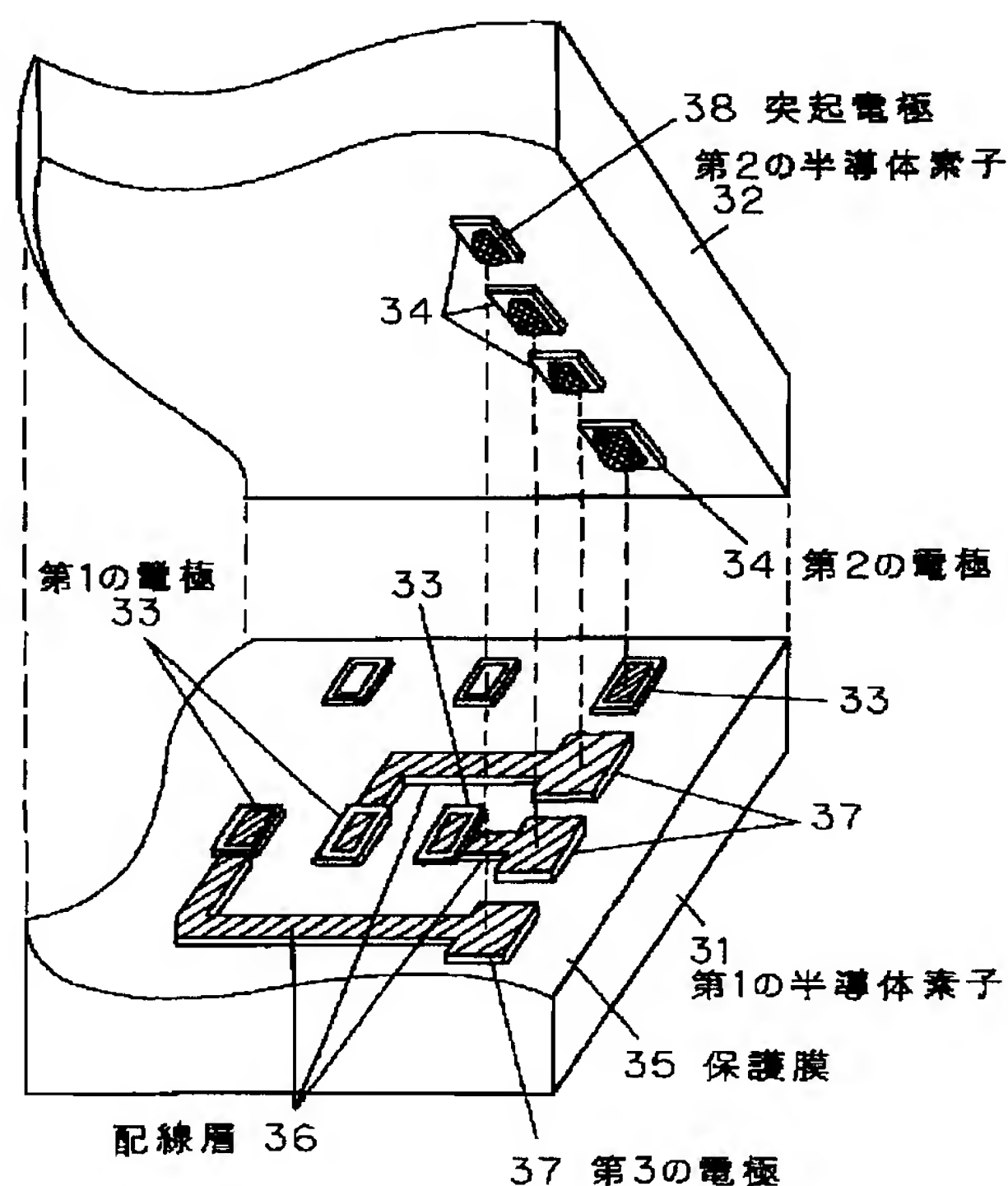
(74) 代理人 弁理士 滝本 智之 (外1名)

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 高機能で低コストな積層型 L S I を提供することを目的とする。

【解決手段】 2つの半導体素子 3 1 及び 3 2 を互いに主面同士を向き合わせた状態で積層し、一方の半導体素子 3 1 の電極から保護膜 3 5 上に電氣的に延在した配線層 3 6 と他方の半導体素子 3 2 の電極上に形成された突起電極 3 8 とを電氣的に接合することによって分割したチップまたは機能が全く異なる異種チップ同士を積層する。これにより、異なる機能をもつ 2 つの L S I チップを高速性を損なうことなく積層化することが可能となり、これによりさらに高機能で高性能な L S I チップを低コストで実現することができる。



## 【特許請求の範囲】

【請求項 1】 第 1 の電極を有する第 1 の半導体素子と、前記第 1 の半導体素子上の保護膜上に形成された第 2 の電極と、前記保護膜上に形成されるとともに前記第 1 の電極と前記第 2 の電極とを接続する配線層と、前記第 2 の電極及び前記配線層を介して前記第 1 の電極との電気的な接続を行う第 3 の電極を有するとともに前記第 1 の半導体素子に積層された第 2 の半導体素子とを有する半導体装置。

【請求項 2】 第 1 の電極が第 1 の半導体素子の支持体の電極と電気的に接続されたことを特徴とする請求項 1 記載の半導体装置。

【請求項 3】 第 2 の電極と第 3 の電極とが突起電極を介して接続されたことを特徴とする請求項 1 または 2 に記載の半導体装置。

【請求項 4】 第 1 の半導体素子の保護膜上に形成された配線層が、前記保護膜下に形成された素子の配線よりも抵抗が低いことを特徴とする請求項 1 または 2 に記載の半導体装置。

【請求項 5】 第 1 の半導体素子の A 1 電極を含む保護膜上に配線用の開口パターンを有するマスクを形成する工程と、前記 A 1 電極及び前記開口パターン内の前記保護膜上に金属を析出させ配線層及び第 2 の電極を形成する工程と、第 2 の半導体素子上に形成された第 3 の電極と前記第 1 の半導体素子上の前記第 2 の電極とを位置合わせし電気的に接続する工程とを有する半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は半導体素子（LSI チップ）を積層した半導体装置及びその製造方法に関するものである。

## 【0002】

【従来の技術】 現在マルチメディア機器や携帯、通信機器には非常に多くの半導体部品が使用されてきている。その中でもマイコンチップは使用される機器の要求から年々高機能化と高速化が求められてきている。これらの要求を満たすべくマイコンチップを製造する際、マイコンチップを従来からの手法である 1 チップ化で設計した場合にはチップサイズはますます大きくなる傾向にある。

【0003】 しかしながら使用される機器の小型、軽量化の要求とチップサイズの大型化によるチップコストの上昇の抑制の要求に基づき、チップの設計や製造を行う側は高集積化によってチップサイズを小さくして、チップコストを低減してきている。すなわち従来からの 1 チップ化設計手法では、配線や素子密度を高くするために微細加工における製造寸法ルールを小さくし、結果として高集積化することでチップサイズを小さくするように対応してきている。

【0004】 また、信号処理速度もこれに伴って速くなっていく傾向にあり、現在では 75～100MHz のものまで製品化されてきており、近い将来には 300～500MHz のものまで開発されて来ると予想される。

【0005】 しかしながら、ここで課題になってくことは信号処理速度である。すなわち高機能化のためにチップサイズは大きくなるが、高集積化のために配線密度は高くなる（配線ルールが小さくなる）。このためチップ内では細い配線が引き回されることになり、信号遅延の問題が発生してくるのである。すなわちチップサイズが大きくなるのを極力抑えて高機能化と高集積化を達成しようとする、引き回す配線の抵抗は逆に上昇し、高速化を達成できなくなる可能性がある。

【0006】 上記の内容について詳述すると、たとえば微細加工が進み、加工ルールが従来より  $1/k$  にスケールリングされたと仮定する。このとき当然ながら作り込まれるトランジスタ数も増やすため、一般的には MPU で  $\sqrt{2.5/k}$ 、メモリーで  $2/k$  の割合でチップサイズは大きくなると言われている。このスケールリングにより用いられる配線の抵抗  $R$  は  $R = \rho L / WT$ （ $\rho$ ：配線の比抵抗、 $L$ ：配線長、 $W$ ：配線幅、 $T$ ：配線膜厚）で与えられることより、 $R$  は  $k\sqrt{k}$  倍になる。また配線間容量  $C$  は  $C = \epsilon WL / Td$ （ $\epsilon$ ：層間膜の誘電率、 $Td$ ：層間膜厚）で与えられることから、 $C$  は  $\sqrt{k/k}$  倍になる。このことより配線遅延  $\tau$  は  $\tau = RC$  より  $\tau = k$  倍となり、 $1/k$  のスケールリングを行うことで確実に信号処理スピードは  $k$  倍遅くなることがわかる。すなわち微細加工ルールでつくる大型 LSI チップでは信号遅延の問題があり、高速化には限界が生じるわけである。

## 【0007】

【発明が解決しようとする課題】 上記の問題点に対する解決策として大型化するチップを適当な機能ブロックで分割して小面積の複数チップにし、最終完成したチップを積層化する手法が存在する。この手法では上記の課題を解決できるとともにチップコストを抑えることができる。

【0008】 しかしながら上記の複数のチップを積層化するという方法では、各々個別に作製したチップ同士を後から積層化するために、接続すべき電極同士はその位置を予め合わせておく必要がある。従って、最終の電極配置位置はカスタマイズする必要があり、上記のように異なる機能を有する半導体チップの電極位置をカスタマイズするためには、最終層（最上層）で配線を引き回すことが必要となる。これでは 1 チップ化で抱える課題と同様に配線遅延という問題点が生じてしまう。

【0009】 そこで本発明は、上記の問題点に鑑み、大型化する LSI チップを複数の機能ブロック別で分割して、LSI チップを積層した半導体装置を実現するに際して、配線の遅延を最小限に抑制することの可能な半導体装置を提供することを目的とするものである。



## 【0010】

【課題を解決するための手段】上記の課題を解決するために本発明が講じた手段は、2つ（複数）のLSIチップを積層した半導体装置において、互いに接続される電極は配線長が長くない位置で電極として外部に出し、電極は上記のように配置しておいて、配線遅延が無視できるような大きなスケールの配線層でつないでやるとい構成を有するものであり、上記の構成により、遅延を起こすことなく両チップを高速で信号がやり取りできる状態で接続することができるものである。

【0011】すなわち、2つの半導体素子を互いに主面同士を向き合わせた状態で積層する構造とし、第1の半導体素子の一主面の保護膜上に形成した第1の電極から電氣的に延在された配線層および突起電極と第2の半導体素子の電極上に形成された第2の突起電極とを電氣的に接合することによって分割したチップを積層、1チップ化するものである。

## 【0012】

## 【発明の実施の形態】

（実施の形態1）以下本発明実施の形態1における半導体装置について図面を参照しながら説明する。本実施の形態における具体的な半導体装置の概略図を図3に示すが、上記の図3に示す半導体装置を説明するにあたって、さらに図1及び図2を用いることとする。

【0013】まず、図1は従来の1チップ化された半導体装置の平面図を示したものである。図1において、大型1チップLSIは、MCU1、周辺回路2及びメモリ3から形成されている。一般に上記の機能の異なる各々のブロック（MCU、周辺回路、メモリ）は、製造プロセスもデザインルールも異なっている。従って、上記のような大型1チップLSIを設計する場合には、各々の単独のブロックを製造するプロセスが確立されていたとしても、トータルで1チップに仕上げるためには、新たな製造プロセスを作り上げる必要がある。この点が最も開発期間を長びかせ、コストを高くする要因となっている。

【0014】そこでまず、この1チップLSIを最も作り安くかつ製造コストが安くなるように機能ごとに分割することを考える。ここではMCU1及び周辺回路2を第1のLSIチップ5、メモリ3を第2のLSIチップ6とし、図1に示したLSIチップを2つに分けて別々に形成することににする（図2参照）。

【0015】上記の図2に示すように、MCU1及び周辺回路2を一つのブロックとし、メモリ3を別のブロックというように分割した理由は、MCUとメモリとが根本的に構造が全く異なり、製造プロセスも全く違うものであるためである。すなわち、MCUとメモリのブロックは各々は全く別々に製造したほうが作り安く、歩留りも大きく向上させることができると考えたためである。

【0016】また、上記の図2に示した例では、予めM

CUブロックとメモリブロックとが1チップ内に形成するような場合に別々に作成するという考え方で例を示したが、別の形態として、すでにある汎用のマイコンチップにメモリーを増設させる場合などに対しても応用展開することができる。すなわち機能の異なるLSIチップを2つ積層化して1チップにしたいものであればどのようなチップに対しても本発明は適用することができるわけである。

【0017】上記のようにして機能の異なるLSIチップを別々の工程で製造した際には、両方のLSIチップにおいては最終積層化したときに接続すべき電極は各々のチップで最も出しやすく、かつ配線長が短くなる任意の位置に形成しておく。

【0018】次に以下では、上記のように配線長が短くなるような位置に他のLSIチップとの接続を行うべき電極を形成した場合、どのようにして最終的に互いのLSIチップを積層して半導体装置を形成するかについて、以下では図3を参照しながら詳細に説明する。

【0019】図3に示すように、最終の拡散工程まで終了したLSIチップの保護膜上に互いの電極同士を電氣的に接続するための配線層を積層化して形成する。すなわち最終拡散工程まで終了したウエハに対して、2つのチップを互いに電氣的に接続すべくLSIチップ同士を張合せた時に電極が1対1で対応するように配線層を形成する。上記の点について図3を参照しながら具体的に説明すると、まず第1の半導体素子31および第2の半導体素子32上には積層化したときに電氣的に接続されるべき第1の電極33と第2の電極34とが形成されている。これら2つの電極33及び34は、配線長が短くなるような位置に任意に形成されているため、互いのLSIチップを張合せた場合には、必ずしも相対位置が一致しているとは限らない。そこで、第1の電極33から保護膜35上に第2の電極34に対応した位置にまで延在する配線層36を形成し、この配線層36の終端には第2の電極34と相対位置が一致して電氣的に接続されるべき第3の電極37が形成されている。上記の配線層36は最終の拡散工程までに形成されている配線とは配線幅が根本的に異なる（太い）ように形成されている。

【0020】一方、第2の電極34上には接続用の突起電極38が形成されており、両者を張合せたときこの突起電極38と第3の電極37が接続され、結果的には突起電極38を介して第2の電極34と第3の電極37とが電氣的に導通されることになる。なお、上記の例では、第2に半導体素子側に突起電極を予め形成したが、最終的に互いのLSIチップの電極を最終的に突起電極を介して接続できるようにすればよい。

【0021】また、図3に示すように、第1の半導体素子側の第1の電極は全てが配線層36及び第3の電極を形成することにより第2の半導体素子と接続されるものではなく、各々の半導体素子（第1の半導体素子と第2

の半導体素子)を予め形成した段階で既に電氣的に接続すべき電極同士の相対位置が既に一致している場合も考えられる。このような場合は、配線層 36 なしに直接第 1 の電極 33 と第 2 の電極 34 を突起電極 38 を介して電氣的な接続を行い、最終的な半導体装置を完成する。

【0022】以上のように、本実施の形態によれば、最終拡散工程までに形成された配線はその配線長が短くなるように任意に形成されており、互いの半導体素子(LSIチップ)は、配線幅の太い(言い換えれば配線抵抗が最終拡散工程までに形成された配線よりも著しく配線抵抗が小さい)配線層 36 を形成した上ではり合わせを行って互いの電極同士の電氣的な接続を行っているため、2つのチップをはり合わせて半導体装置を形成しても配線遅延という問題を最小限に抑制することが可能となる。

【0023】すなわち、本実施の形態によれば、従来1チップ化されていたLSIチップを別々に形成することにより、製造コストの削減や歩留まりを向上させることができるとともに、互いのLSIチップをはり合わせる際にも、配線抵抗の小さい配線層 36 を引き回すことにより互いの電極同士の電氣的な接続を可能としているため、配線遅延の問題(配線を引き回すことにより発生する配線遅延の問題)を発生させないようにすることが可能となる。

【0024】なお、上記の例では、保護膜上に形成された配線層は、その配線幅を太くすることにより配線抵抗を小さくしているが、配線抵抗を小さくするためには必ずしも配線幅を太くする必要性はなく、配線抵抗の小さな材料で配線層 36 を形成するなど、とにかく配線抵抗が小さな配線層 36 を形成してやればよい。

【0025】また、本実施の形態では突起電極を介して互いの半導体素子の電極を電氣的に接続したが、必ずしも突起電極を用いる必要性はなく、直接的に接続してもよい。

【0026】(実施の形態2)以下本発明実施の形態2における半導体装置について図面を参照しながら説明する。図4は本実施の形態における半導体装置の概略図を示したものである。

【0027】図4に示すように、第1の半導体素子31は中央部には積層化するための第2の半導体素子32の電極に対応した接続用電極301(上記の図3に示す実施の形態1と同様に)と外周部に外部に信号を取り出すための電極302を有している。そして、外部に信号を取り出すための電極302はたとえばワイヤー303などで外部のリードフレーム304(半導体素子の支持体の電極)に電氣的に接続されている。以上のような構成により、積層型の半導体装置を外部と電氣的に接続することが可能となる。

【0028】ここで、図4に示す実施の形態では、内部の接続用電極301において各々様々な機能を有したも

のが存在する。例えば1対1で第1の半導体素子31と第2の半導体素子32の間で信号のやり取りをする電極301や、接続された電極が配線層36によってそのまま第1の半導体素子31の外周部にまで引き延ばされて電極305とされ、外部にワイヤー303でリードフレーム304に接続されているもの等である。また第1の半導体素子31の任意の場所から取り出された電極306から配線層36が延在して第2の半導体素子32の電極に接続されているものも存在する。

10 【0029】(実施の形態3)次に以下では本発明実施の形態3における半導体装置の製造方法について図面を参照しながら説明する。本実施の形態は、上記した実施の形態1におけるLSIチップを積層した半導体装置の製造方法に関するものである。

【0030】図5は本実施の形態における半導体装置の製造工程断面図を示したものであり、以下では図5

20 (a)~(e)に沿って本実施の形態を説明することとする。なお、実際はウエハ単位で処理を行うわけであるが、便宜上図5にはチップの一部を抜き出した形で説明をする。

【0031】まず図5(a)に示すように、拡散まで終了したウエハの保護膜35上からフォトレジスト51を塗付し配線層36に対応した部分のみが抜けたパターン52を形成する。次に図5(b)に示すように最上層に形成されたAl電極53の自然酸化膜54を除去するために磷酸または水酸化ナトリウムの水溶液で軽く表面をエッチングする。そして図5(c)に示すようにパターン52内のAl電極53、および保護膜35上に無電解めっきで金属膜を析出させるための下地処理を行い、置換反応膜55を形成する。具体的に下地処理としてはクエン酸と塩酸の混合溶液による表面の第1活性化処理と表面にPd等の触媒を付与する第2活性化処理を数回繰り返し行う。この処理は所定の処理液に一定時間(10~15分)浸漬させるだけである。

30 【0032】次に図5(d)に示すように置換反応膜55上に無電解めっき法でNiめっき膜56を析出させる。このときの反応は置換反応で置換反応膜55であるZnまたはPdはNiと置換反応を起こし、NiがAl電極53、保護膜55上に析出する。今回用いた無電解Niめっき液は硫酸ニッケルを主成分としたもので、約90℃に設定した液に15分間浸漬させて、約3μm程度のNiが析出する。この後Niめっき膜56上からさらに無電解Auめっきを行い、Au膜57を得る。このAu膜57を形成する目的はNi表面が酸化するのを防ぐためと、電氣的に安定した接触抵抗を得るためである。この後図5(e)に示すようにフォトレジスト51を除去して、配線層36付の第1の半導体素子31を得る。またAuめっきを行う工程としてはNiめっき終了後にフォトレジストを除去し、その後に無電解Auめっきを選択的にNiめっき上に析出させることもできる。



【0033】次に第2の半導体素子32上の第2の電極34に突起電極38を形成する方法を説明する。形成方法は上記の図5で示した方法とほぼ同様の方法で形成する。ただしこの場合は、配線層は形成しないためフォトレジストは不要となる。すなわちA1電極上に選択的にジンケート処理またはアクチベート処理を行い、無電解Niめっき、ついで無電解Auめっきで突起電極を得るのである。高さは3~10 $\mu$ m程度であり、このうちAuめっき膜厚は0.1~0.3 $\mu$ m程度で十分である。

【0034】次に上記のようにして形成された第1及び第2の半導体素子(LSIチップ)の2つのチップ同士を張合せて、積層化する方法について説明する。

【0035】まずは図6を用いてその一例について説明する。各々のチップには配線層36や第3の電極37、突起電極38が前述した方法ですでに形成されている。これら2つのチップの第3の電極37と突起電極38を位置合わせする。次に両者のチップを張合せて熱と圧力を加える。このことにより第3の電極37表面のAuと突起電極38表面のAuを反応させて金属的な接合を行う。そして最終的には機械的強度を得るために両者のチップの間に樹脂61を流し込んで補強を行い、図6に示した最終構造を得る。

【0036】また、異なるメタラジーでの接合も可能である。その一例を図7を用いて説明する。第1の半導体素子31上に形成された配線層36と第3の電極37の最表面の処理をAuまたはSnなどの低融点金属と簡単に共晶合金を作り易い金属71としておく。この処理もまた無電解めっきにて形成することが可能である。一方第2の半導体素子32上の突起電極38の最表面処理はSnや半田の低融点金属72とする。このような材料組み合わせで行うと図5に示した構造より、さらに低温で両者のチップ同士を張合せて、積層化することができる。また、必要に応じて機械的強度をもたすために図5と同様な方法で樹脂を介在させても良い。

【0037】

【発明の効果】本発明では以下に示す効果がある。

【0038】まず第1に、異なる機能をもつ2つのLSIチップを高速性を損なうことなく積層化することが可能となる。これによりさらに高機能で高性能なLSIチップを低コストで実現することができる。

【0039】第2に、積層化する場合の接続用の電極は

チップの任意の場所、すなわち配線が最も短くなる位置に形成すること可能なため1チップで設計するより容易に高速化を達成することができる。

【0040】第3に、汎用のチップ同士においても簡単に張合せ用の電極を形成して任意に積層化することができるため、低コストで高機能なLSIチップを簡単に作り上げることができるようになる。

【図面の簡単な説明】

【図1】従来のLSIチップの平面図

【図2】本発明の半導体装置における分割されたLSIの概念図

【図3】本発明の半導体装置の斜視図

【図4】本発明の半導体装置の斜視図

【図5】本発明の半導体装置の製造工程断面図

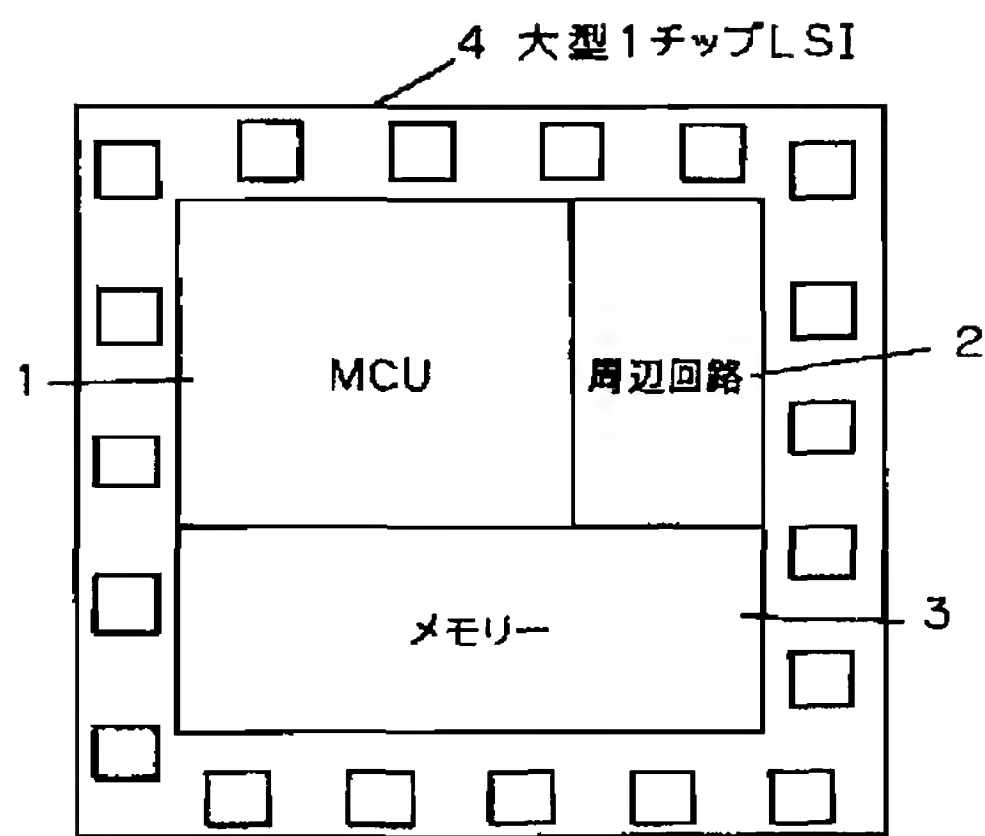
【図6】本発明の半導体装置の断面図

【図7】本発明の半導体装置の断面図

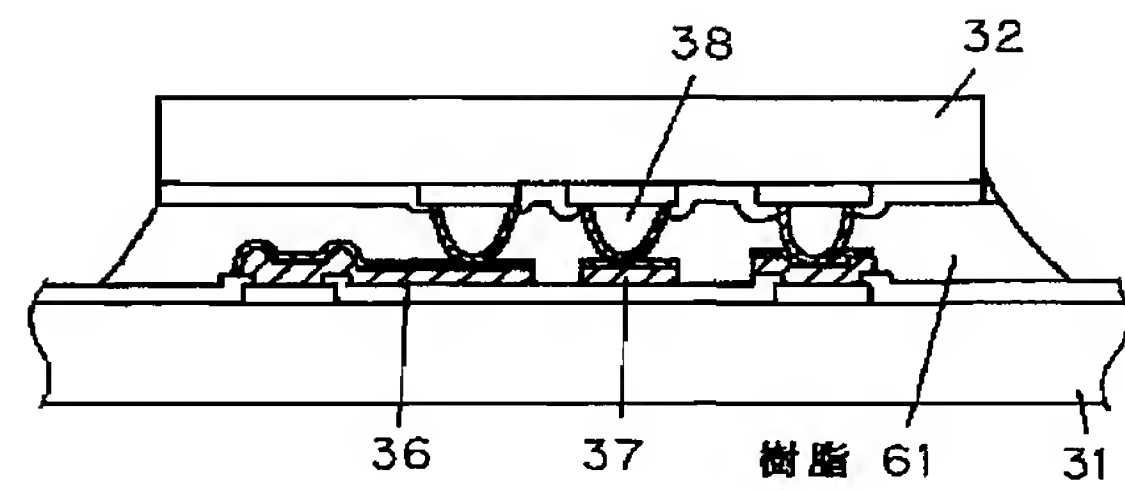
【符号の説明】

- 1 MCU
- 2 周辺回路
- 3 メモリー
- 4 大型1チップLSI
- 5 第1のLSIチップ
- 6 第2のLSIチップ
- 31 第1の半導体素子
- 32 第2の半導体素子
- 33 第1の電極
- 34 第2の電極
- 35 保護膜
- 36 配線層
- 37 第3の電極
- 38 突起電極
- 51 フォトレジスト
- 52 パターン
- 53 A1電極
- 54 自然酸化膜
- 55 置換反応膜
- 56 Ni膜
- 57 Au膜
- 61 樹脂
- 71 低融点金属と共晶合金を作り易い金属
- 72 低融点金属

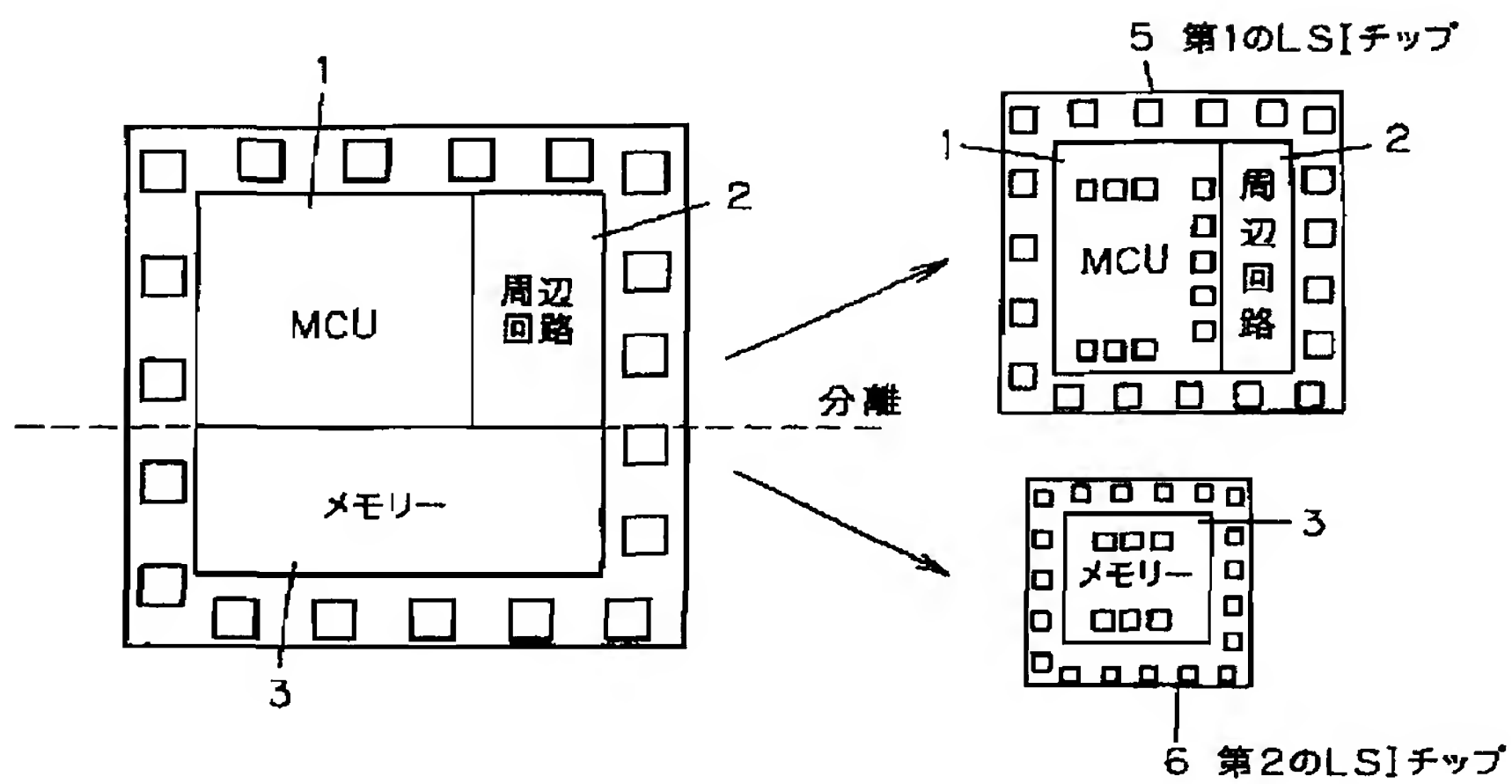
【図1】



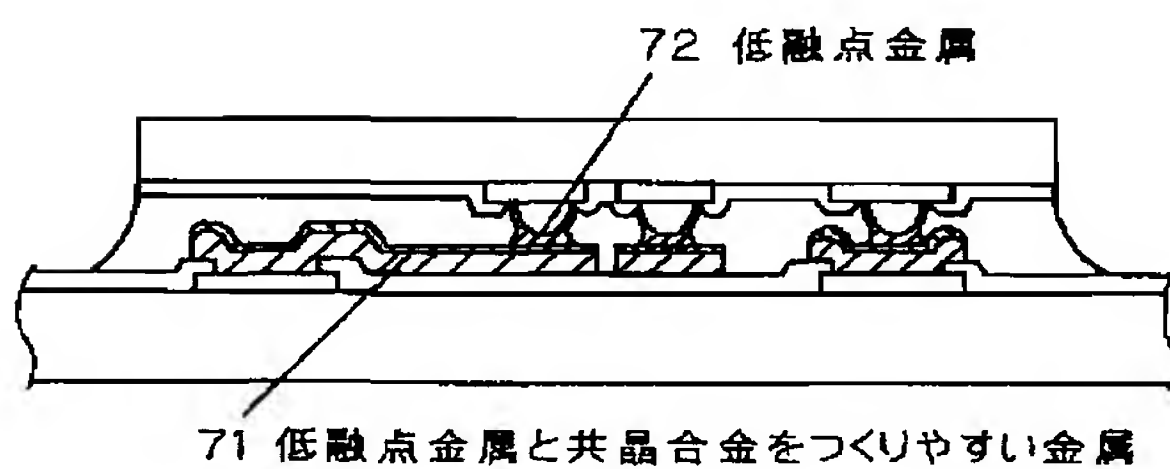
【図6】



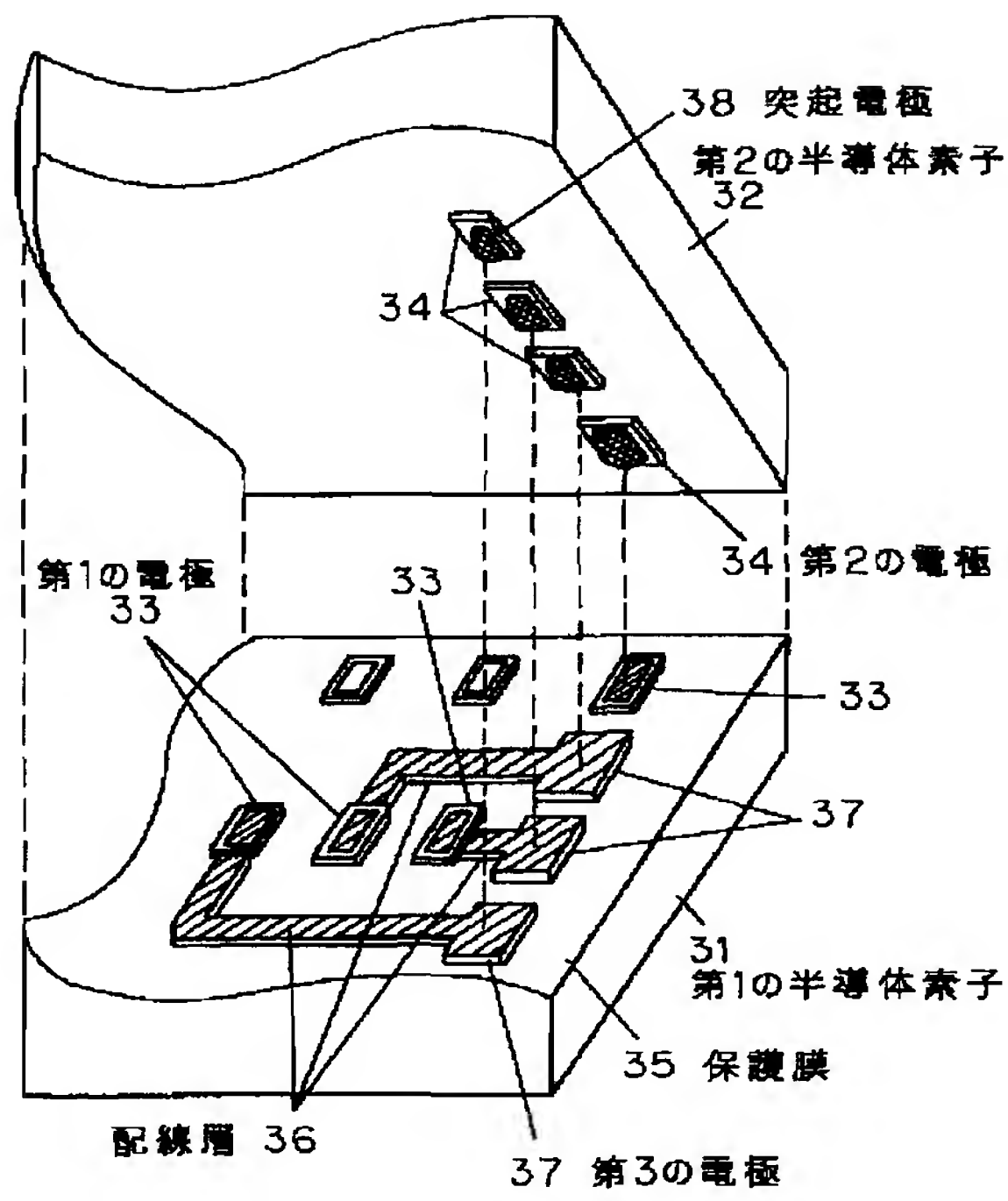
【図2】



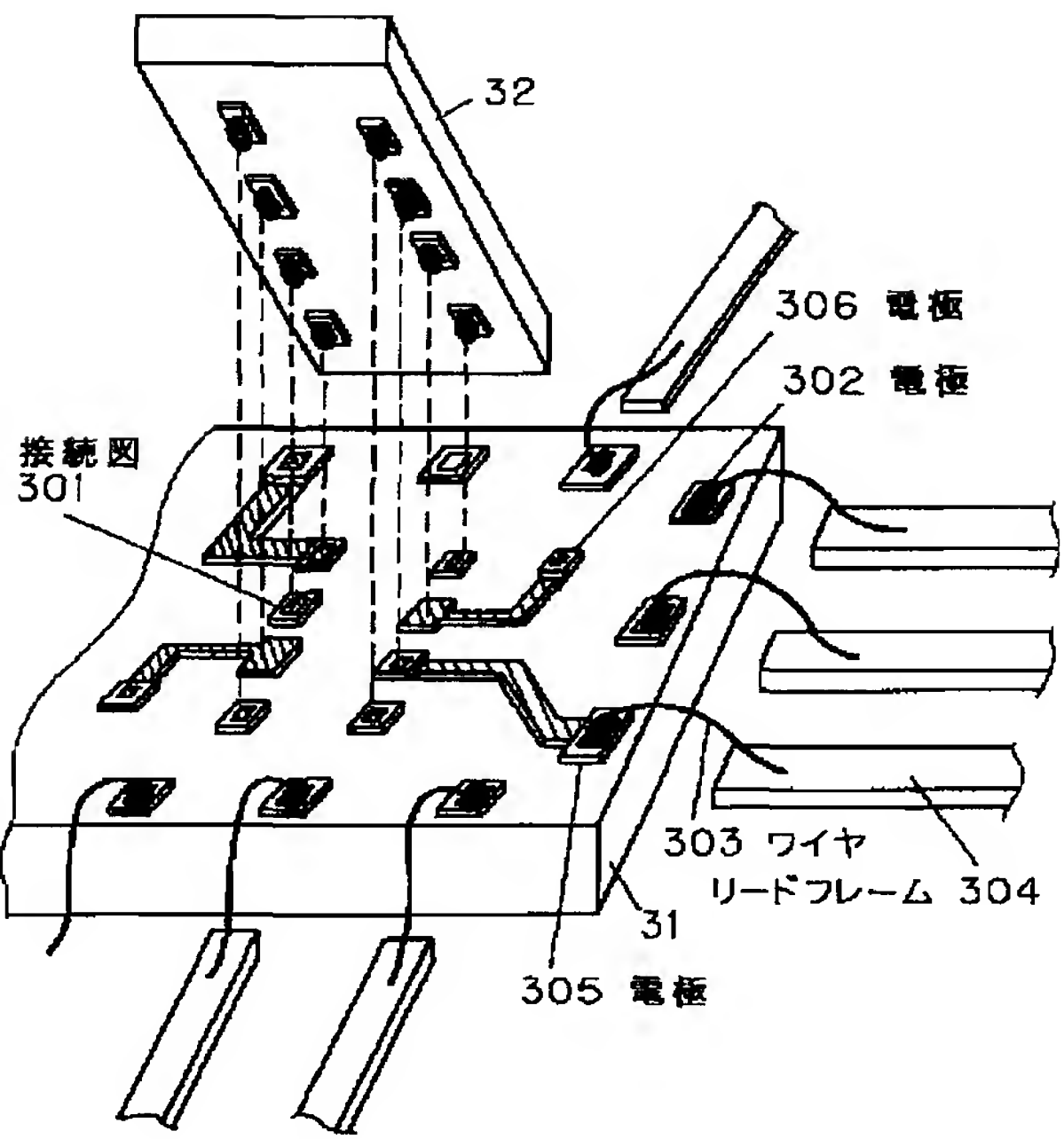
【図7】



【図 3】



【図 4】



【図 5】

